

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-338998

(43) 公開日 平成8年(1996)12月24日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 9 B
21/336				6 2 7 E

審査請求 有 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平7-146164

(22) 出願日 平成7年(1995)6月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 坂本 道昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

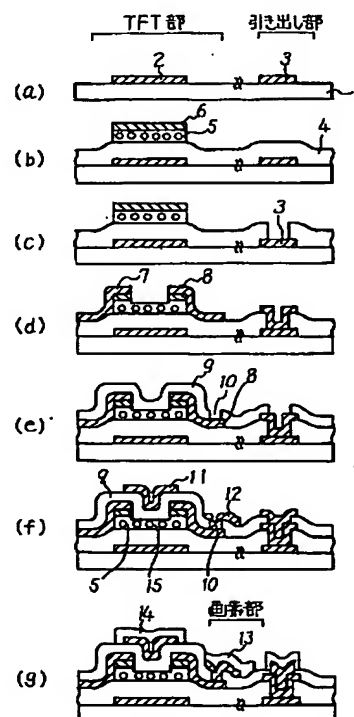
(54) 【発明の名称】 アクティブマトリクス型液晶表示装置およびその製造方

法

(57) 【要約】

【目的】 製造工程を増大することなく T F T 電極と画素電極との接触不良を防止することにある。

【構成】 透明基板上に薄膜トランジスタおよび周辺コンタクト電極を形成し、パッシベーション膜を積層する。この膜の周辺コンタクト電極上およびトランジスタノ電極上にコンタクトホールを形成し、金属膜を堆積、パターンニングして薄膜トランジスタのチャンネル部上およびコンタクトホール部に金属膜をパターン形成する。ここでチャンネル部上の遮光膜およびコンタクトホール上の金属膜は別のアイランドで形成し、チャンネル部上の遮光膜はフローティングとする。最後に透明導電材料を堆積、パターンニングして画素電極を形成する。同時に遮光膜上にも透明導電層をパターン形成する。



BEST AVAILABLE COPY

(2)

## 【特許請求の範囲】

【請求項 1】 透明基板上にゲート電極、ゲート絶縁膜、半導体層、ドレイン・ソース電極からなる薄膜トランジスタを配列してなる薄膜トランジスタ基板を有するアクティブマトリクス型液晶表示装置において、パッシベーション膜上に前記薄膜トランジスタのチャンネル部を遮光する金属遮光膜および画素電極を有し、前記ソース（ドレイン）電極と前記画素電極との間に金属膜が介在していることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】 前記金属遮光膜が透明導電体膜で覆われていることを特徴とする請求項 1 記載のアクティブマトリクス型液晶表示装置。

【請求項 3】 前記金属遮光膜は前記画素電極と分離されて形成されていて電気的にフローティングであることを特徴とする請求項 1 又は 2 記載のアクティブマトリクス型液晶表示装置。

【請求項 4】 前記薄膜トランジスタの半導体層の表面が水素プラズマ処理により不活性化されていることを特徴とする請求項 1、2 又は 3 記載のアクティブマトリクス型液晶表示装置。

【請求項 5】 透明基板上にゲート電極および信号線を選択的に形成する工程と、前記基板上にゲート絶縁膜および第 1 の半導体層および第 2 の半導体層を選択的に形成する工程と、金属膜を被着しパターニングすることによりドレインおよびソース電極を形成する工程と、パッシベーション絶縁膜を成長し、パターニングすることにより周辺端子部および前記ソース又はドレイン電極上にコンタクトホールを形成する工程と、金属を被着しパターニングすることにより前記チャンネルコンタクトホールに金属膜を形成する工程と、透明導電膜により画素電極を形成する工程とを含むことを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項 6】 前記パッシベーション膜にコンタクトホールを形成すると同時に前記ゲート絶縁膜を選択的に除去して前記信号線の一部を露出させることを特徴とする請求項 5 記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項 7】 前記パッシベーション膜形成前に前記半導体層に水素プラズマ処理を施し、トランジスタのバックチャンネルを不活性化することを特徴とする請求項 5 又は 6 記載のアクティブマトリクス型液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶表示装置に関し、特に薄膜トランジスタを有するアクティブマトリクス型液晶表示装置およびその製造方法に関する。

## 【0002】

【従来の技術】 図 6 は従来の薄膜トランジスタを有する

アクティブマトリクス型液晶表示層値の概念を示す断面図（a）および平面図（b）である。このアクティブマトリクス型液晶表示装置は薄膜トランジスタ（TFT）基板 18 および対向基板 19 からなり、その間にツイストネマティック（TN）液晶 20 を挟持する構造をとっている。TFT 基板 18 はガラス基板 1 上にマトリクス上に形成された各画素毎に対応する画素電極 13 と、信号線 22 および走査線 21、さらに画素電極毎に設けられた薄膜トランジスタ（TFT）23 からなる。また対向基板 19 は透明電極 24 および各画素毎に対応した RGB の色層 25 および遮光を目的とした遮光層 26 からなる。

【0003】 図 7 はかかる TFT 基板の製造方法である。ガラス基板 1 上に Cr、W、Ta、Al などの第 1 金属膜をスパッタ法などを用いて被着しこれをパターニングしてゲート電極 2 と各信号線および走査線のための周辺コンタクト電極 3 を形成する（図 7（a））。次に SiNx などからなるゲート絶縁膜 4 およびノンドープアモルファスシリコン（a-Si）膜 5、およびリンが高濃度にドーパされた n+a-Si 6 をプラズマ CVD 法により連続的に成長させたのち、n+a-Si 6 および a-Si 5 をアイランド上にパターニングする（図 7（b））。次にゲート絶縁膜をパターニングして第 1 金属膜からなる周辺コンタクト電極 3 上のゲート絶縁膜 4 のみを選択的に除去する（図 7（c））。次に Cr、W、Ta、Al などからなる第 2 金属膜をスパッタ法などにより被着およびパターニングして信号線およびドレイン電極 7、ソース電極 8 を形成する（図 7（d））。信号線の一部はコンタクト電極 3 に接続されている。さらに酸化インジウム錫（ITO）などの透明電極を被着、パターニングし、画素電極 13 を形成する。

【0004】 次にソース、ドレイン電極 8、7 をマスクに TFT のチャンネル部 15 上の n+a-Si をエッチング除去する（図 7（e））。さらに特にプロジェクターなどの場合は強光下での駆動となるため、TFT 上にも遮光層を設ける必要があり、Cr、W、Ta、Al などからなる金属遮光膜 11 を形成、パターニングする（図 7（g））。

【0005】 以上のように従来の遮光膜付きチャンネルエッチ型薄膜トランジスタの形成方法では、パターニング工程が、各工程に対応して、パターニング工程は 7 回となる。

【0006】 上記従来構造では信号線 22 と画素電極 13 が同層にあるため、これらの間隔 x（図 6（b）参照）を 10～20 μm 程度とらなくてはエッチング残りなどにより画素電極 13 と信号線 22 のショートが増加する。そのため、画素面積が小さくなり開口率は対角 25 cm VGA クラスのパネルで 50%～60% に低下する。

【0007】 この問題を解決するため、特開昭 64-6

(3)

3

8729号公報では、図8に示すように、ドレイン、ソース電極7、8形成し、チャネル分を掘り込んだ後、パッシベーション膜9を形成して同膜9にコンタクトホール10を形成し、しかる後に画素電極13を形成している。画素電極13はこれによってソース電極8とパッシベーション膜9に設けられたコンタクトホール10を介して接続される。

【0008】この場合、信号線22（7、8）と画素電極13は異なる層にあるため、これらの間隔を0～2μmまで近づけることが可能となり、開口率が対角25cmVGAクラスのパネルで60%から70%に増加する。

【0009】しかしながら、コンタクトホール10部での画素電極13が断線をおこし、ソース電極8・画素電極13間のコンタクト不良がおきる問題がある。

【0010】そこで、図8に12として示すように、コンタクトホール部10を透明画素電極13と金属層12の2層構造とする技術が特開昭4-68729号公報に開示されている。この場合、パターニング工程は層間分離しない場合に比べ、コンタクト部の金属層のパターニング工程分増え、パターニング工程は8回となる。

【0011】かかるパターニング工程の増大を抑えるために、実開平1-104051号公報では、図9のように、コンタクト部10の金属層12を金属遮光膜11と同じ金属膜で形成した。すなわち、遮光膜11でコンタクト金属層12を兼ねたTFTが開示されている。この場合、金属層12はコンタクトホール内およびTFTのチャネル領域上方にアイランド状にパターン形成されている。

【0012】かかるTFTでは、パターニング工程は遮光膜11と金属層12のパターニングが同時に行われているので7回となる。

【0013】

【発明が解決しようとする課題】このように、開口率を高めるために画素電極をソース電極と重ねて形成することが提案されており、また、その場合におけるコンタクト不良を解決するためにコンタクトホール10では透明画素電極層13と金属層12の2層構造とすることが提案されている。

【0014】しかしながら、実際に試作した結果、コンタクト不良の原因としてはコンタクトホール10部での画素電極13の断線の他に、ソース電極8である第2金属膜とITOなどの透明画素電極13の接触不良が認められた。これはCrなどでドレイン・ソース電極7、8形成後、プラズマCVDなどでパッシベーション膜9を形成する際に、金属表面に酸化Crが形成されるため、ITOなどの半導体膜を積層するとオーミックコンタクトがとれず、コンタクト性が極めて悪くなると考察される。

【0015】したがって、図8、図9に示す手法では、

4

ソース電極8・画素電極13間の良好なコンタクトを取るためには、ソース電極金属8表面の金属酸化膜をエッチングまたは逆スパッタ法などにより除去すること工程が必要となる。これは、製造プロセスを複雑化し、歩留りを劣化させることになる。

【0016】また、図9に示すものでは、コンタクト部の金属層12と遮光膜11が兼ねているが、この場合、遮光膜11とパッシベーション膜9さらにa-Si膜5によりMIS構造ができ、いわゆるバックチャネルが形成される。このため、画素電極13が正フレームと負フレームとでTFTの電気特性が図2のように特にオフ側で非対称となり、TFTのオフ特性に起因するパネルの表示不良や、液晶へDC特性が印加することに起因する表示不良を引き起こし、パネル表示の面で問題点があった。

【0017】しかも、金属遮光膜11（12）が最上層となり、配向材を介して直接液晶と接しているため化学的に不安定である問題を有した。

【0018】本発明はこれらの点に鑑みてなされたものであり、したがって、その目的は、上記ドレイン、画素間層間分離TFTプロセスにおいて複雑なプロセスを増やすことなく、ソース・画素間のコンタクト不良を減らし、製造コストの低くかつ高歩留まりで製造することのできる化学的に安定したアクティブマトリクス基板とその製造方法を提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するため、本発明では透明な絶縁性基板上に形成されたゲート電極、ゲート絶縁膜、半導体層、ドレイン・ソース電極からなる薄膜トランジスタを配列してなる薄膜トランジスタ基板において、それを覆うパッシベーション膜上に、トランジスタのチャネル部を遮光する金属遮光層と画素電極を有し、ソース・画素電極間のコンタクトを金属遮光膜、画素電極の順に形成することを特徴とするアクティブマトリクス基板が提供される。

【0020】また、本発明によれば透明基板上にゲート電極を形成する工程と、ゲート絶縁膜およびノンドープ半導体層および低抵抗半導体層を連続成長させ、半導体層をパターニングする工程と、走査線および信号線の引出部上のゲート絶縁膜を除去する工程と、金属膜を被着、パターニングすることによりドレインおよびソース電極を形成する工程と、絶縁膜を成長、パターニングすることにより走査線および信号線の引出部上のパッシベーション膜を除去し同時にソース電極上コンタクトホールを形成する工程とを含むことを特徴とするアクティブマトリクス基板の製造方法が提供される。

【0021】

【実施例】本発明の上記および他の目的、特徴、利点を明確にすべく、以下、本発明の実施例について図面を参照にして説明する。

50

(4)

5

【0022】図1は本発明の第1の実施例のアクティブマトリクス液晶表示装置をその製造工程順に示した断面図である。本実施例では、まず、ガラスのような透明絶縁基板1上にCr、W、Ta、Alなどからなる第1導体膜をスパッタ法などにより100nm～300nmの厚さに堆積し、フォトリソグラフィ法を用いてパターンニングし、ゲート電極2および走査線およびその周辺コンタクト電極3を形成する(図1(a))。

【0023】次に、プラズマCVD法などによりSiNxなどからなるゲート絶縁膜4を200nm～600nmの厚さに、チャンネル層としてのノンドープa-Si膜5を100nm～400nmの厚さに、コンタクト層としてのリンドープしたn+a-Si膜6を10nm～100nmの厚さに連続的に成膜し、各半導体層をアイランド上にパターンニングする(図1(b))。

【0024】次に走査線および信号線の引出し部3上のゲート絶縁膜4部分を除去する(図1(c))。

【0025】次に、Cr、W、Ta、Alなどからなる第2導体膜をスパッタ法などにより100nm～300nmの厚さに堆積後、第2導体膜をスパッタ法などにより100nm～300nmの厚さに堆積後、第2導体膜とコンタクトn+a-Si層6をパターンニングして、信号線およびドレイン電極ソース7、8を形成する(図1(d))。

【0026】次にプラズマCVD法などによりSiNxなどからなるパッシベーション膜9を100nm～300nm成膜し、走査線および信号線引出し部3のパッシベーション膜を除去し、同時にソース電極8上にコンタクトホール10を形成する(図1(e))。

【0027】次にCr、W、Ta、Alなどにより第3導体膜をスパッタ法により50nm～200nm形成し、パターンニングして薄膜トランジスタチャンネル部15上およびコンタクトホール部10上に金属膜12を形成する(図1(f))。ここでチャンネル部15上の遮光膜11およびコンタクトホール上の金属膜12とは分離されており、したがって、チャンネル上の遮光膜11は動作状態ではフローティングとする。もし、遮光膜11と金属膜12を連続して形成すると、金属遮光膜11、パッシベーション膜9およびノンドープa-Si膜5でMIS構造が形成され、図2のような画素電極13が正フレームと負フレームとでTFTの電流特性が特にオフ特性で非対称となり、オフ特性の劣化および液晶へのDC電圧の印加の原因でパネル表示品質が劣化する。一方、上記のように構成することで、かかる問題点が防止される。

【0028】最後にITOなどの透明性導電材料をスパッタして画素電極13をパターン形成する(図1

(g))。同時に透明導電体層14を遮光膜11上にもパターンして残す。これによって、遮光金属11が直接液晶と接して化学的に不安定になることを防ぐ。無論、画素電極13と導電体層14は分離している。

6

【0029】このようにソース・画素電極8、13間のコンタクトホールにおいて、ソース電極8と金属層12を直接コンタクトさせることにより、画素電極13、金属遮光膜12の順に形成したときに見られたコンタクト不良がなく、良好なコンタクトが形成されることが確認できた。前述のとおり、電極8表面には酸化膜が形成されるが、金属層12を直接スパッタ形成することで、その理由は明確ではないが、電極8と金属層12とが高さ数オームの抵抗をもって接触している。また、遮光性も十分にありプロジェクターなどの強光下での使用にも耐えうるTFT構造となっている。また、パターンニング工程は従来例と同様に7PRとなる。

【0030】次に図3を用いて本発明の第2の実施例を説明する。第1の実施例と同様にしてゲート電極2を形成し(図3(a))、ゲート絶縁膜4、ノンドープa-Si膜5、低抵抗のn+a-Si膜6を連続成膜し、半導体層をアイランド状にパターン形成する(図3

(b))。次に走査線および信号線引出し部3上のゲート絶縁膜を除去する事なく、第2金属膜を堆積後、第2金属膜とn+a-Si膜をパターンニングすることにより信号線およびドレイン電極7・ソース電極8を形成する(図3(c))。次にSiNxなどでパッシベーション膜9を堆積し、ソース電極8上のコンタクトホール10

を形成し、同時に走査線および信号線の引出し部3の絶縁層を除去する(図3(d))。このとき、ソース電極8上のコンタクトホール10の形成には約200nmのパッシベーション膜9を除去すればよいのに対し、引出し部上ではパッシベーション膜9約200nmとゲート絶縁膜4約600nmを除去しなくてはならないので、エッチング条件を最適化し、たとえば絶縁膜除去にO<sub>2</sub>およびCF<sub>4</sub>ガスを用いたドライエッチングによりコンタクトホール部がテーパ形状になるようにする必要がある。その後、ソース電極8・画素電極13間のコンタクトを兼ねた金属遮光膜11、12を形成し(図3

(e))、パターンニングし、最後にITOなどの透明導電材料により画素電極13を形成する(図3(f))。この場合、走査線や信号線の引出し部のパターンニングとパッシベーション膜のパターンニングを同時に行うので、パターンニング工程は6PRとなる。

【0031】次に図4を用いて本発明の第3の実施例を説明する。本実施例では、前述の第1、第2の実施例のパッシベーション膜9成膜工程前に、水素プラズマ処理を行うものである(図4(a))。これは遮光膜としてCrなどの金属膜を用いる場合、金属膜11が帯電し、TFTのバックチャンネル16がオンし、それに伴うTFTのオフ電流の増加によりパネルの表示品質が劣化することを防ぐため、水素プラズマ処理によりTFTのバックチャンネル16の不活性化を行うことを目的とする。これによりTFTのバックチャンネル16の不活性化を行うことを目的とする。これによりa-Siバックチャンネル

(5)

16側に $H_2$ が $SiH_2$ の形で取り込まれ、 $Si$ 同士のネットワークが図4(b)として示すように粗の状態になり、バックチャネル16が不活性化する。

【0032】図5に水素流量2000sccm、RFパワー250W、圧力200Paの条件で水素プラズマ処理を行った場合の、TFTのバックチャネル特性のプラズマ時間依存性を示す。これより水素プラズマ処理を行った場合の、TFTのバックチャネル特性のプラズマ時間依存性を示す。これより水素プラズマ処理を30秒以上行うことによりバックチャネル16が不活性化し、金属遮光膜11、パッシベーション膜9、a-Si膜5によりTFTバックチャネル16側にMIS構造が形成されても、TFTのオフ電流特性は安定し、パネルの表示品質は向上する。

【0033】

【発明の効果】以上説明したように、本発明によるアクティブマトリクス基板は、ゲート電極、ゲート絶縁膜、半導体層、ドレイン・ソース電極からなる薄膜トランジスタおよびそれを覆うパッシベーション膜が形成され、パッシベーション膜上にTFTのチャネル部を遮光する金属遮光層および画素電極からなる。また、ソース・画素電極間のコンタクトは遮光膜金属および画素透明導電材料により、この順に2層で取られている。

【0034】よって、本発明によればドレイン・画素間層間分離型TFTパネルで問題となるソース・画素電極間のコンタクトが十分にとれ、画素欠陥が減り、特性に

優れた製品を高歩留り、かつ低製造コストでつくることができる。

【0035】また金属遮光層をソースと切り離しフローティングすることで画素が正負フレームでTFTのオフ特性が非対称になることを防ぎ、パネルの表示品質を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のアクティブマトリクス液晶表示装置で用いる薄膜トランジスタの製造方法を説明するための工程断面図。

【図2】金属遮光層をソース電極につなげた場合とフローティングにした場合のTFTの電流特性の比較。

【図3】本発明の第2の実施例の薄膜トランジスタの製造方法を説明するための工程断面図。

【図4】本発明の第3の実施例の薄膜トランジスタの製造方法を説明するための工程断面図。

【図5】TFTのバックチャネル電流特性の水素プラズマ時間依存性。

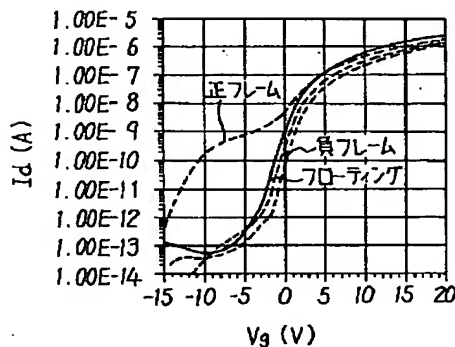
【図6】従来のアクティブマトリクス液晶表示装置の構造。

【図7】従来の薄膜トランジスタの製造方法を説明するための工程断面図。

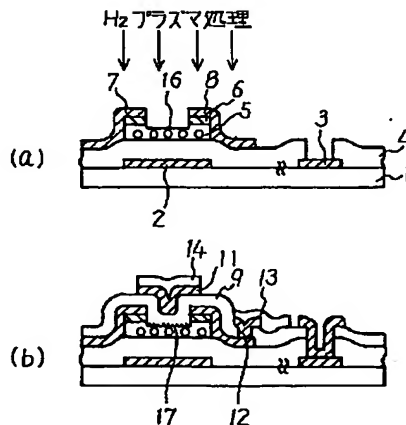
【図8】特開昭64-68729で開示された薄膜トランジスタの断面図。

【図9】実開平1-104051で開示された薄膜トランジスタの断面図。

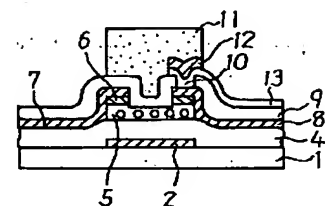
【図2】



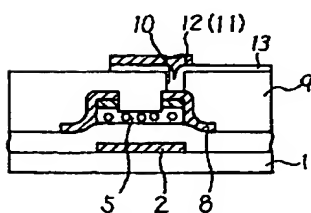
【図4】



【図8】

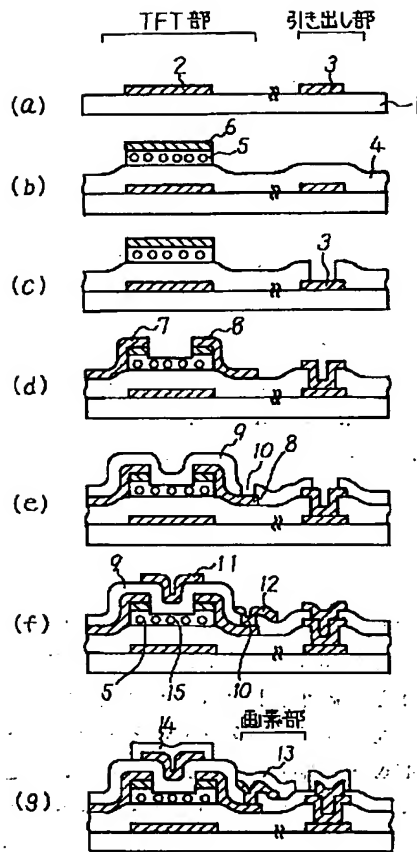


【図9】

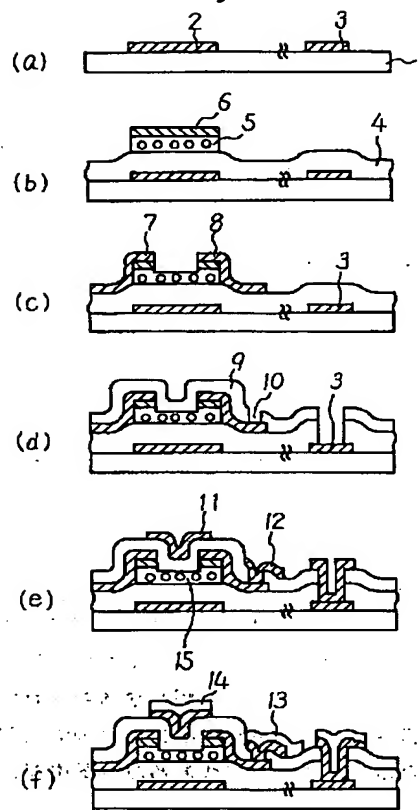


(6)

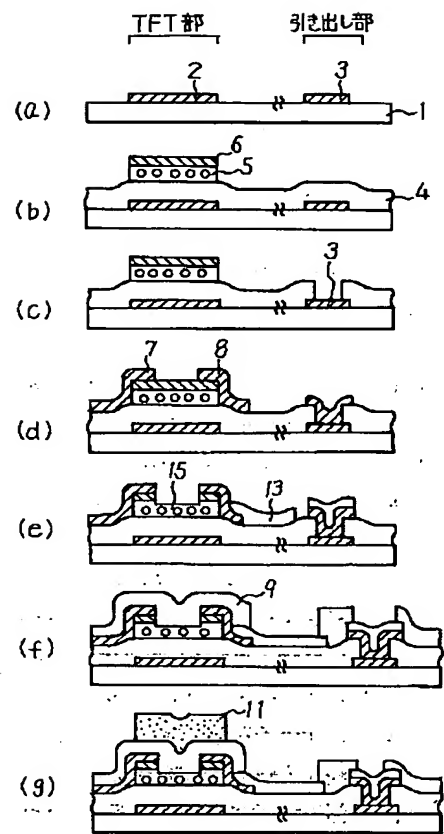
【図1】



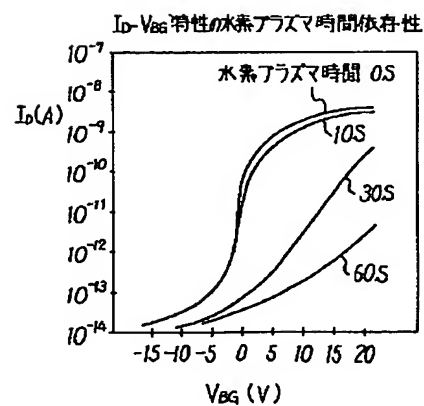
【図3】



【図7】

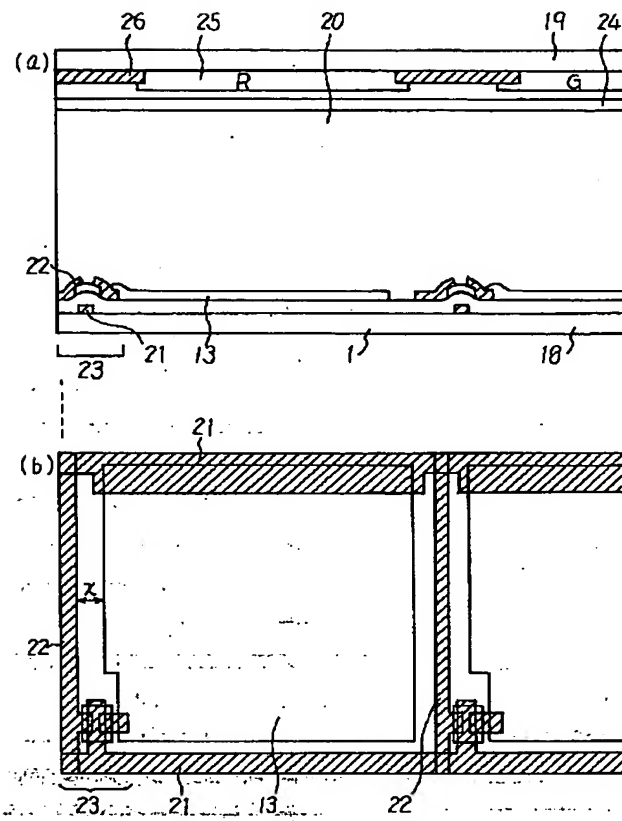


【図5】



(7)

【图 6】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-338998

(43)Date of publication of application : 24.12.1996

(51)Int.Cl.

G02F 1/136

H01L 29/786

H01L 21/336

(21)Application number : 07-146164

(71)Applicant : NEC CORP

(22)Date of filing : 13.06.1995

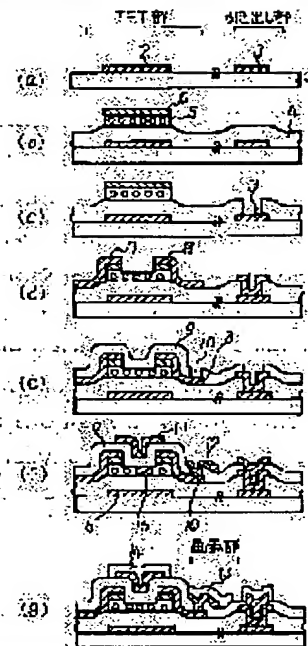
(72)Inventor : SAKAMOTO MICHIAKI

## (54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

### (57)Abstract:

PURPOSE: To prevent the contact defect of TFT electrodes and pixel electrodes without increasing production stages.

CONSTITUTION: Thin-film transistors(TFTs) and peripheral contact electrodes are formed on a transparent substrate 1 and a passivation film 9 is laminated thereon. Contact holes 10 are formed on the peripheral contact electrodes of the film and the electrodes of the TRs and a metallic film 12 is deposited and patterned, by which the metallic film 12 is patterned and formed on the channel parts of the TFTs and the contact hole parts. The light shielding films 11 on the channel parts 15 and the metallic films 12 on the contact holes 10 are formed in another islands and the light shielding films 12 on the channel parts 15 are made floating. Finally, a transparent conductive material is deposited and patterned to form pixel electrodes. Simultaneously, a transparent conductive layers 14 are patterned and formed on the light shielding films.



### LEGAL STATUS

[Date of request for examination]

13.06.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2780673

[Date of registration]

15.05.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The active matrix liquid crystal indicating equipment characterized by having the metal light-shielding film and pixel electrode which shade the channel section of said thin film transistor on the passivation film, and the metal membrane intervening between said source (drain) electrodes and said pixel electrodes in the active matrix liquid crystal indicating equipment which has the thin film transistor substrate which comes to arrange a gate electrode, gate dielectric film, a semi-conductor layer, and the thin film transistor that consists of a drain source electrode on a transparence substrate.

[Claim 2] The active matrix liquid crystal display according to claim 1 characterized by covering said metal light-shielding film by the transparence conductor film.

[Claim 3] Said metal light-shielding film is an active matrix liquid crystal display according to claim 1 or 2 which is separated with said pixel electrode, is formed and is characterized by being floating electrically.

[Claim 4] The active matrix liquid crystal display according to claim 1, 2, or 3 characterized by the front face of the semi-conductor layer of said thin film transistor being inactivated by hydrogen plasma treatment.

[Claim 5] The process which forms a gate electrode and a signal line alternatively on a transparence substrate, and the process which forms alternatively gate dielectric film, the 1st semi-conductor layer, a pixel electrode, and the 2nd semi-conductor layer on said substrate, The process which forms a drain and a source, said drain electrode by putting and carrying out patterning of the metal membrane, The process which forms a contact hole on a circumference terminal area and said source, or a drain electrode by growing up and then carrying out patterning of the passivation insulator layer, The manufacture approach of the active matrix liquid crystal display characterized by including the process which forms a metal membrane in said channel contact hole by putting and carrying out patterning of the metal; and the process which forms a pixel electrode with the transparence electric conduction film.

[Claim 6] The manufacture approach of the active matrix liquid crystal display according to claim 5 characterized by removing said gate dielectric film alternatively and exposing said some of signal lines at the same time it forms a contact hole in said passivation film.

[Claim 7] The manufacture approach of the active matrix liquid crystal display according to claim 5 or 6 characterized by performing hydrogen plasma treatment to said semi-conductor layer before said passivation film formation, and inactivating the back channel of a transistor.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the active matrix liquid crystal display which has a thin film transistor, and its manufacture approach about a liquid crystal display.

[0002]

[Description of the Prior Art] Drawing 6 is the sectional view (a) and top view (b) showing the concept of an active matrix liquid crystal display layer value of having the conventional thin film transistor. This active matrix liquid crystal indicating equipment consisted of a thin film transistor (TFT) substrate 18 and an opposite substrate 19, and the structure which pinches the twist pneumatic (TN) liquid crystal 20 in the meantime is taken. The TFT substrate 18 serves as the pixel electrode 13 which was formed on the matrix on the glass substrate 1 and which corresponds for every pixel from a signal line 22 and the scanning line 21, and the thin film transistor (TFT) 23 further prepared for every pixel electrode. Moreover, the opposite substrate 19 consists of a pigmented layer 25 of RGB which corresponded for every transparent electrode 24 and pixel, and a protection-from-light layer 26 aiming at protection from light.

[0003] Drawing 7 is the manufacture approach of this TFT substrate. On a glass substrate 1, the 1st metal membrane, such as Cr, W, Ta, and aluminum, is used, a spatter etc. is put, patterning of this is carried out, and the circumference contact electrode 3 for the gate electrode 2, each signal line, and the scanning line is formed ( drawing 7 (a) ). Next, after growing up continuously the gate dielectric film 4 which consists of  $\text{SiN}_x$  etc., the non-dope amorphous silicon (a-Si) film 5, and  $n^+a\text{-Si}6$  by which  $\text{Lynn}$  was doped by high concentration by the plasma-CVD method, patterning of  $n^+a\text{-Si}6$  and a-Si5 is carried out on an island ( drawing 7 (b) ). Next, only the gate dielectric film 4 on the circumference contact electrode 3 which carries out patterning of the gate dielectric film, and consists of the 1st metal membrane is removed alternatively ( drawing 7 (c) ). next, the 2nd metal membrane which consists of Cr, W, Ta, aluminum, etc. -- a spatter etc. -- covering -- and patterning is carried out and a signal line and the drain electrode 7, and the source electrode 8 are formed ( drawing 7 (d) ). Some signal lines are connected to the contact electrode 3. Furthermore, it covers, patterning of the transparent electrodes, such as indium oxide tin (ITO), is carried out, and the pixel electrode 13 is formed.

[0004] Next, etching removal of  $n^+a\text{-Si}$  on the channel section 15 of TFT is carried out for the source and the drain electrodes 8 and 7 at a mask ( drawing 7 (e) ). Since it becomes the drive under strong light, it is necessary to prepare a protection-from-light layer also on TFT, and further especially in the case of a projector etc., it forms and patterning of the metal light-shielding film 11 which consists of Cr, W, Ta, aluminum, etc. is carried out ( drawing 7 (f) ).

[0005] As for a patterning process, by the formation approach of the conventional channel dirty mold thin film transistor with a light-shielding film, a patterning process becomes 7 times as mentioned above corresponding to each process.

[0006] Conventionally [ above-mentioned ], with structure, since a signal line 22 and the pixel electrode 13 are in this layer, if about 10-20 micrometers of these spacing x (refer to drawing 6 (b) ) are not taken, short-circuit of the pixel electrode 13 and a signal line 22 increases by the etching remainder etc. Therefore, pixel area becomes small and a numerical aperture falls to 50% - 60% by the panel of a diagonal 25cmVGA class.

[0007] By JP,64-68729,A, in order to solve this problem, as shown in drawing 8 , a drain, the source

electrode 7, and after forming eight times and digging a part for a channel deep, the passivation film 9 is formed, a contact hole 10 is formed in this film 9, and the pixel electrode 13 is formed in after an appropriate time. The pixel electrode 13 is connected by this through the contact hole 10 established in the source electrode 8 and the passivation film 9.

[0008] In this case, since a signal line 22 (7 8) and the pixel electrode 13 are in a different layer, they become possible [ bringing these spacing close to 0-2 micrometers ], and a numerical aperture increases them from 60% to 70% by the panel of a diagonal 25cmVGA class.

[0009] However, the pixel electrode 13 in the contact hole 10 section causes an open circuit, and there is a problem which the poor contact between source electrode 8 and the pixel electrode 13 cuts.

[0010] Then, as shown in drawing 8 as 12, the technique which makes the contact hole section 10 the two-layer structure of the transparence pixel electrode 13 and the metal layer 12 is indicated by JP,4-68729,A. In this case, a patterning process increases by the patterning process of the metal layer of the contact section compared with the case where it does not dissociate between layers, and a patterning process becomes 8 times.

[0011] In order to suppress increase of this patterning process, in JP,1-104051,U, TFT which formed the metal layer 12 of the contact section 10 by the same metal membrane as the metal light-shielding film 11, namely, served as the contact metal layer 12 by the light-shielding film 11 is indicated like drawing 9 . In this case, pattern formation of the metal layer 12 is carried out to the shape of an island in the channel field upper part of TFT in a contact hole.

[0012] In this TFT, since patterning of a light-shielding film 11 and the metal layer 12 is performed to same coincidence, a patterning process becomes 7 times.

[0013]

[Problem(s) to be Solved by the Invention] Thus, in order to solve the poor contact which forming a pixel electrode in piles with a source electrode is proposed in order to raise a numerical aperture, and it can be set in that case, in the contact hole 10, considering as the two-layer structure of the transparence pixel electrode layer 13 and the metal layer 12 is proposed.

[0014] However, as a result of actually building a prototype, as a cause of poor contact, the poor contact of the transparence pixel electrodes 13, such as the 2nd metal membrane which is the source electrode 8, and ITO, was accepted besides the open circuit of the pixel electrode 13 in the contact hole 10 section. Since Oxidation Cr is formed in a surface of metal in case the passivation film 9 is formed by plasma CVD etc. after the drain source electrode 7 and 8 formation by Cr etc., this cannot take ohmic contact, if the laminating of the semi-conductor film, such as ITO, is carried out, but is considered that contact nature gets very bad.

[0015] Therefore, by the technique shown in drawing 8 and drawing 9 , in order to take the good contact between source electrode 8 and the pixel electrode 13, a removing-by etching or reverse spatter-metal oxide film of source electrode metal 8 front face process is needed. This complicates a manufacture process and makes the yield deteriorate.

[0016] Moreover, in what is shown in drawing 9 , although the metal layer 12 and light-shielding film 11 of the contact section serve, metal-insulator-semiconductor structure is made to a light-shielding film 11 and passivation film 9 pan with the a-Si film 5 in this case, and the so-called back channel is formed. For this reason, the pixel electrode 13 is an OFF side especially like drawing 2 in the electrical property of TFT in a main frame and negative UREMU, and became unsymmetrical, the poor display of the panel resulting from the OFF property of TFT and the poor display resulting from a DC characteristic impressing to liquid crystal were caused, and there was a trouble in respect of a panel display.

[0017] And the metal light-shielding film 11 (12) became the maximum upper layer, and since it was in contact with direct liquid crystal through orientation material, it had the unstable problem chemically.

[0018] This invention is made in view of these points, therefore without increasing a complicated process in the above-mentioned drain and a pixel intermediate layer separation TFT process, the purpose reduces the poor contact between the source and a pixel, and is to offer the active-matrix

substrate which can be low manufactured by the high yield and which was stabilized chemically and its manufacture approach of a manufacturing cost.

[0019]

[Means for Solving the Problem] in order to attain the above-mentioned purpose, it have the metal protection from light layer and the pixel electrode which shade the channel section of a transistor for it on a wrap passivation film, and the active matrix substrate characterize by to form the source and pixel inter-electrode contact in order of a metal light-shielding film and a pixel electrode be offer in the thin film transistor substrate which come to arrange the gate electrode formed on the transparent insulating substrate in this invention, gate dielectric film, a semi-conductor layer, and the thin film transistor that consist of a drain source electrode.

[0020] Moreover, the process which forms a gate electrode on a transparence substrate according to this invention and the process which is made to carry out continuation growth of gate dielectric film, a non dope semi-conductor layer, and the low resistance semi-conductor layer, and carries out patterning of the semi-conductor layer, The process which removes the gate dielectric film on the drawer section of the scanning line and a signal line, and the process which forms a drain and a source electrode for a metal membrane covering and by carrying out patterning, The manufacture approach of the active-matrix substrate characterized by including the process which removes the passivation film on the drawer section of the scanning line and a signal line for an insulator layer growth and by carrying out patterning, and forms a source electrode top contact hole in coincidence is offered.

[0021]

[Example] That the above and other purposes of this invention, the description, and an advantage should be made clear, hereafter, about the example of this invention, a drawing is made reference and explained.

[0022] Drawing 1 is the sectional view having shown the active-matrix liquid crystal display of the 1st example of this invention in order of the production process. in this example it consists of Cr, W, Ta, aluminum, etc. on a transparence insulating substrate 1 like glass first, the film is deposited on the thickness of 100nm - 300nm by a spatter etc. the 1st conductor patterning is carried out using the photolithography method, and the gate electrode 2, the scanning line and its circumference contact electrode 3 are formed (drawing 1 (a)).

[0023] Next, the n+a-Si film 6 which carried out the gate dielectric film 4 which consists of SiNx etc. by a plasma-CVD method etc. at the thickness of 200nm - 600nm, and carried out the phosphorus dope of the non dope a-Si film 5 as a channel layer as a contact layer at the thickness of 100nm - 400nm is continuously formed in thickness of 10nm - 100nm, and patterning of each semi-conductor layer is carried out on an island (drawing 1 (b)).

[0024] Next, gate-dielectric film 4 part on the cash-drawer section 3 of the scanning line and a signal line is removed (drawing 1 (c)).

[0025] next, it consists of Cr, W, Ta, aluminum, etc. -- the film is carried out by a spatter etc., patterning of the contact n+a-Si layer 6 is carried out [ after depositing on the thickness of 100nm - 300nm ] for the film to the film the 2nd conductor after depositing on the thickness of 100nm - 300nm by a spatter etc. the 2nd conductor the 2nd conductor, and a signal line and the drain electrode sources 7 and 8 are formed (drawing 1 (d)).

[0026] Next, 100nm - 300nm of passivation film 9 which consists of SiNx etc. by a plasma-CVD method etc. is formed, the passivation film of the scanning line and the signal-line cash-drawer section 3 is removed, and a contact hole 10 is formed on the source electrode 8 at coincidence (drawing 1 (e)).

[0027] next, boil Cr, W, Ta, aluminum, etc. -- the 3rd conductor, the film is formed 50nm - 200m by the spatter, carries out patterning, and a metal membrane 12 is formed on the thin film transistor channel section 15 and the contact hole section 10 (drawing 1 (f)). It dissociates here in the light-shielding film 11 on the channel section 15, and the metal membrane 12 on a contact hole, therefore let the light-shielding film 11 on a channel be floating by operating state. If a light-shielding film 11 and a metal membrane 12 are formed continuously, metal-insulator-semiconductor structure will be formed by the

metal light-shielding film 11, the passivation film 9, and the non-doped a-Si film 5, the current characteristic of TFT will become [ a pixel electrode 13 like drawing 2 ] unsymmetrical especially with an OFF property with a main frame and a negative frame, and panel display quality will deteriorate by the cause of impression of degradation of an OFF property, and DC electrical potential difference to liquid crystal. This trouble is prevented with on the other hand constituting as mentioned above.

[0028] The sputter of the transparency electrical conducting materials, such as ITO, is carried out to the last, and pattern formation of the pixel electrode 13 is carried out ( drawing 1 (g) ). Also on a light-shielding film 11, the pattern of the transparency conductor layer 14 is carried out, and it leaves it to coincidence. It prevents the protection-from-light metal 11 becoming unstable chemically in contact with direct liquid crystal by this. Of course, the pixel electrode 13 and the conductor layer 14 are separated.

[0029] Thus, in the contact hole between the source and the pixel electrode 8, and 13, by contacting the source electrode 8 and the metal layer 12 directly, there is no poor contact seen when it formed in order of the pixel electrode 13 and the metal light-shielding film 12, and it has checked that good contact was formed. By carrying out direct sputter formation of the metal layer 12, although an oxide film is formed in electrode 8 front face as above-mentioned, although the reason is not clear, the electrode 8 and the metal layer 12 touch with resistance with a height of several ohms. Moreover, it has the TFT structure where there is also protection-from-light nature of enough and it can be equal also to the use under strong light, such as a projector. Moreover, a patterning process serves as 7PR like the conventional example.

[0030] Next, the 2nd example of this invention is explained using drawing 3 . The gate electrode 2 is formed like the 1st example ( drawing 3 (a) ), continuation membrane formation of gate dielectric film 4, the non-doped a-Si film 5, and the n+a-Si film 6 of low resistance is carried out, and pattern formation of the semiconductor layer is carried out to the shape of an island ( drawing 3 (b) ). Next, a signal line, and a drain electrode 7 and a source electrode 8 are formed after depositing the 2nd metal membrane by sputter, carrying out patterning of the 2nd metal membrane and the n+a-Si film, without removing the gate electrode dielectric film on the scanning line and the signal line cash-drawer section 3 ( drawing 3 (c) ). Next, the passivation film 9 is deposited in SiNx etc., the contact hole 10 on the source electrode 8 is formed, and the insulating layer of the cash-drawer section 3 of the scanning line and a signal line is removed to coincidence ( drawing 3 (d) ), what should just remove about 200nm passivation film 9 for formation of the contact hole 10 on the source electrode 8 at this time -- receiving -- a cash-drawer section top -- the passivation film 9 -- about 200nm and gate dielectric film 4 -- since about 600nm must be removed -- etching conditions -- optimizing -- for example, insulator layer removal -- O2 And CF4 It is necessary to make it the contact hole section become a taper configuration by the dry etching using gas. Then, patterning of the metal light-shielding films 11 and 12 which served as contact between source electrode 8 and the pixel electrode 13 is formed and ( drawing 3 (e) ) carried out, and, finally the pixel electrode 13 is formed with transparency electrical conducting materials, such as ITO, ( drawing 3 (f) ). In this case, since patterning of the cash-drawer section of the scanning line or a signal line and patterning of the passivation film are performed to coincidence, a patterning process serves as 6PR.

[0031] Next, the 3rd example of this invention is explained using drawing 4 . In this example, hydrogen plasma treatment is performed before the passivation film 9 membrane-formation process of the 1st and 2nd above-mentioned example ( drawing 4 (a) ). When using metal membranes, such as Cr, as a light-shielding film, a metal membrane 11 is charged, the back channel 16 of TFT turns this on, and in order to prevent the display quality of a panel deteriorating by the increment in the OFF state current of TFT accompanying it, it aims at inactivating the back channel 16 of TFT by hydrogen plasma treatment. It aims at this inactivating the back channel 16 of TFT. It is [ that he is fastidious and ] H2 to the a-Si back channel 16 side more. SiH2 It is incorporated in a form, and will be in the condition of \*\* as [ show / the network of Si / as drawing 4 (b) ], and the back channel 16 will inactivate.

[0032] The plasma time dependency of the back channel property of TFT at the time of performing

hydrogen plasma treatment to drawing 5 on hydrogen flow rate 2000sccm, RF power 250W, and conditions with a pressure of 200Pa is shown. The plasma time dependency of the back channel property of TFT at the time of performing hydrogen plasma treatment from this is shown. Even if the back channel 16 inactivates and metal-insulator-semiconductor structure is formed in the TFT back channel 16 side with the metal light-shielding film 11, the passivation film 9, and the a-Si film 5 by performing hydrogen plasma treatment 30 seconds or more from this, the OFF state current property of TFT is stabilized and the display quality of a panel improves.

[0033]

[Effect of the Invention] As explained above, the wrap passivation film is formed in the thin film transistor and it which consist of a gate electrode, gate dielectric film, a semi-conductor layer, and a drain source electrode, and the active-matrix substrate by this invention consists of the metal protection-from-light layer and pixel electrode which shade the channel section of TFT on the passivation film. Moreover, the source and pixel inter-electrode contact is taken by two-layer at this order with the light-shielding film metal and the pixel transparence electrical conducting material.

[0034] Therefore, according to this invention, the source and pixel inter-electrode contact which poses a problem by the drain and the discrete-type TFT panel between pixel intermediate layers can fully be taken, a pixel defect can decrease, and the product excellent in the property can be built with the high yield and a low manufacturing cost.

[0035] Moreover, it prevents a pixel's becoming because separate a metal protection-from-light layer from the source and it carries out floating, and the off property of TFT becoming unsymmetrical with a positive/negative frame, and it becomes possible to raise the display quality of a panel.

[Translation done.]

#### **\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

#### **DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] The process sectional view for explaining the manufacture approach of the thin film transistor used with the active-matrix liquid crystal display of the 1st example of this invention.

[Drawing 2] The comparison of the current characteristic of TFT at the time of making a metal protection-from-light layer into the case where it ties to a source electrode, and floating.

[Drawing 3] The process sectional view for explaining the manufacture approach of the thin film transistor of the 2nd example of this invention.

[Drawing 4] The process sectional view for explaining the manufacture approach of the thin film transistor of the 3rd example of this invention.

[Drawing 5] Hydrogen plasma time dependency of the back channel current characteristic of TFT.

[Drawing 6] Structure of the conventional active-matrix liquid crystal display.

[Drawing 7] The process sectional view for explaining the manufacture approach of the conventional thin

film transistor.

[Drawing 8] The sectional view of the thin film transistor indicated by JP,64-68729,A.

[Drawing 9] The sectional view of the thin film transistor indicated by publication of unexamined utility model application Heisei 1-104051.

---

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**